

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-036819

(43)Date of publication of application : 07.02.1995

(51)Int.Cl.

G06F 13/28

(21)Application number : 05-180292

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 21.07.1993

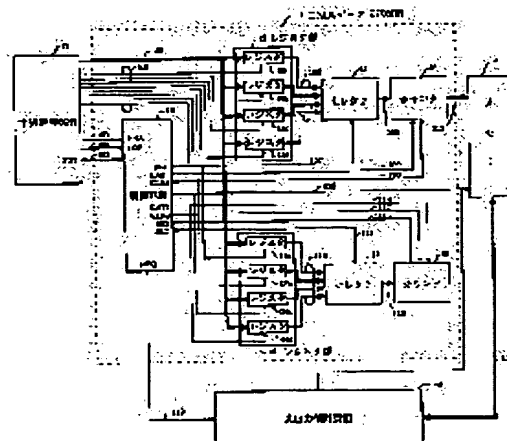
(72)Inventor : SANO MASAYUKI  
ARIMATSU YOICHIRO  
OHASHI HIDEYA  
MATSUBARA ATSUSHI

## (54) DMA DATA TRANSFER DEVICE

## (57)Abstract:

PURPOSE: To attain continuous DMA data transfer of data in plural blocks by setting up the starting addresses of plural blocks and the number of data, and at the time of ending the transfer of data in a block, transferring only the number of data from the starting address of the succeeding block.

CONSTITUTION: The direct memory access(DMA) transfer of four blocks is executed from a memory 21 to an I/O control device 20 in the order of blocks 1, 3, 2 and 4. Namely a control circuit 12 receives a data transfer request signal (REQ) 119 from the device 20, outputs a data transfer control signal 112 to the device 20 and outputs a clock signal 110 to add '1' to a counter 16 and subtract '1' from a counter 18. An address for DMA data transfer data is outputted from the counter 16 to the memory 21 and the device 20 outputs the REQ 119 to the circuit 12. Then the value of the counter 18 becomes '1' and a REQ 116 is outputted to the circuit 12 to end the DMA data transfer of a block 1.



## LEGAL STATUS

[Date of request for examination] 17.03.1997

[Date of sending the examiner's decision of rejection] 11.04.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-36819

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 13/28

識別記号

3 1 0 H 8944-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号 特願平5-180292

(22) 出願日 平成5年(1993)7月21日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 佐野 雅之

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72) 発明者 有松 洋一郎

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(72) 発明者 大橋 秀也

大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内

(74) 代理人 弁理士 西野 卓嗣

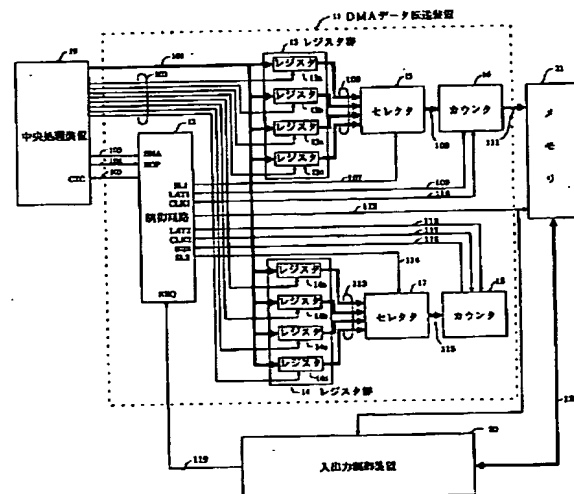
最終頁に続く

(54) 【発明の名称】 DMAデータ転送装置

(57) 【要約】

【目的】 1つのブロックのDMAデータ転送終了の後に直ちに次のブロックのDMAデータ転送を開始できるようにする。

【構成】 データのブロックの開始アドレスを複数個記憶するレジスタとそれに対応するデータ数を記憶するレジスタを複数個備えて、1つのブロックの開始アドレスからデータ数分のデータのDMAデータ転送を終了した後、次のブロックの開始アドレスと、データ数を選択してデータ数分のデータのDMAデータ転送を順次行う。



1

## 【特許請求の範囲】

【請求項1】 DMAデータ転送を行うデータのブロックの開始アドレスを保持する第1の保持手段と、DMAデータ転送の開始時に第1の保持手段に保持された開始アドレスを設定し、DMAデータ転送するデータのアドレスを発生するアドレス発生手段と、DMAデータ転送するデータ数を保持する第2の保持手段と、転送したデータ数を計数し、前記第2の保持手段に保持されたデータ数に達したかどうか判定する判定手段と、判定手段により転送したデータ数が前記第2の保持手段に保持されたデータ数に達したと判定した場合に、前記第1の保持手段に保持された開始アドレスを前記アドレス発生手段に設定し、判定手段の計数値を初期値に設定するとともに、DMAデータ転送を制御する制御手段を有するDMAデータ転送装置において、前記第1の保持手段に複数の開始アドレスを保持し、該複数の開始アドレスに対応づけて前記第2の保持手段に複数のDMAデータ転送するデータの数を保持し、制御手段が前記アドレス発生手段にDMAデータ転送するデータの開始アドレスを設定する場合に前記第1の保持手段に保持された複数の開始アドレスを順次切り換えて設定するとともに、判定手段は転送されたデータ数が前記第2の保持手段に保持された、設定された開始アドレスに対応するデータの数に達したかどうかを判定することを特徴とするDMAデータ転送装置。

【請求項2】 DMAデータ転送を行うデータのブロックの開始アドレスを保持する第1の保持手段と、DMAデータ転送の開始時に第1の保持手段に保持された開始アドレスを設定し、DMAデータ転送するデータのアドレスを発生するアドレス発生手段と、DMAデータ転送するデータ数を保持する第2の保持手段と、転送したデータ数を計数し、前記第2の保持手段に保持されたデータ数に達したかどうか判定する判定手段と、判定手段により転送したデータ数が前記第2の保持手段に保持されたデータ数に達したと判定した場合に、前記第1の保持手段に保持された開始アドレスを前記アドレス発生手段に設定し、判定手段の計数値を初期値に設定するとともに、DMAデータ転送を制御する制御手段を有するDMAデータ転送装置において、前記第1の保持手段に複数の開始アドレスを保持し、制御手段が前記アドレス発生手段にDMAデータ転送するデータの開始アドレスを設定する場合に前記第1の保持手段に保持された複数の開始アドレスを順次切り換えて設定するとともに、判定手段は転送されたデータ数が前記第2の保持手段に保持されたデータの数に達したかどうかを判定することを特徴とするDMAデータ転送装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、高速のデータ転送が要求される画像処理その他におけるダイレクトメモリアク

2

セスデータ転送（以下、DMAデータ転送と呼ぶ。）に関するものである。特に、複数のブロックのデータの転送に関するものである。

## 【0002】

【従来の技術】従来、データのブロックが複数存在し、そのブロックを順次DMAを用いて転送する場合においては、1つのブロックの転送が終了する度に、毎回、中央処理装置がDMAデータ転送を行うデータのブロックのメモリ空間内における先頭アドレスと、データの長さを設定し、次のブロックのDMAデータ転送を行っていた。

【0003】ところがこの方法においては、1つのブロックのデータのDMAデータ転送が終了した後に中央処理装置が次にDMAデータ転送を行うデータのブロックの先頭アドレスと、データの数を設定しているため、中央処理装置による先頭アドレスと、データの数の設定の間はDMAデータ転送が中断するという問題が起こる。この問題を解決するために、DMAデータ転送に要する時間よりも短い時間を計測するタイマを備え、タイマのタイムアウトに同期してベースアドレスレジスタとベースカウントレジスタに中央処理装置が予めDMAデータ転送を行うブロックの先頭アドレスとデータの数を書き込み、その値を1つのブロックのデータのDMAデータ転送終了直後にカレントアドレスレジスタとカレントカウントレジスタに設定することにより、1つのブロックのDMAデータ転送後に連続して次のブロックのDMAデータ転送を開始できるようにする方法が提案されている（例えば特開平3-88057公報参照）。

## 【0004】

【発明が解決しようとする課題】しかしながら、この方法においても中央処理装置によってDMAデータ転送を行うブロックの先頭アドレスとデータの数の書き込みを行っているため、中央処理装置が優先度が高い処理を行っている場合にはタイマがタイムアウトをして、実際に1ブロックのDMAデータ転送が終了しているにもかかわらず次にDMAデータ転送を行うブロックの先頭アドレスとデータの数の書き込みが行われない場合が生じる。また、最もデータ数が少ないブロックの転送に要する時間より短いタイマを設定しなければならず、DMAデータ転送途中でデータの数が可変する場合にはタイマの設定が非常に困難になる場合がある。

【0005】本発明は、このような問題に対してなされたものであり、煩わしいタイマの設定をすることなく、1つのブロックのDMAデータ転送終了の後に直ちに次のブロックのDMAデータ転送を開始できるようにする装置を提供するものである。

## 【0006】

【課題を解決するための手段】本発明は、DMAデータ転送を行うデータのブロックのメモリ空間内における開始アドレスおよび転送データ数を設定することにより、

10

20

30

40

50

DMAデータ転送を行うDMAデータ転送装置において、前記開始アドレスを前記ブロックの数だけ設定するとともに、該開始アドレスに対応する転送データ数を前記ブロックの数だけ設定し、1つの開始アドレスからデータの転送を開始し、該開始アドレスに対応した転送データ数のデータ転送が終了した後に、次の開始アドレスからデータの転送を開始して、該開始アドレスに対応した転送データ数のデータの転送をすることにより、順次、複数のブロックのデータを転送するものである。

【0007】

【作用】複数のブロックの開始アドレスとデータの数を設定しておき、1つのブロックのデータの転送が終了した後に、次のブロックの開始アドレスからデータの数だけ転送する、という動作を繰り返すことにより、複数のブロックのデータを順次途切れることなくDMAデータ転送する。

【0008】

【実施例】本発明のDMAデータ転送装置の第1の実施例について図1を参照にして説明する。なお、本実施例においてはメモリ空間内の4つの領域を順次DMAデータ転送するためのDMAデータ転送装置について説明する。図1は、本発明の第1の実施例に係るDMAデータ転送装置11の構成図である。同図には、DMAデータ転送装置をコントロールする中央処理装置19と、DMAデータ転送に用いるメモリ21と入出力制御装置20

も記載されている。

【0009】図1において、11は本発明のDMAデータ転送装置である。12は中央処理装置19の制御に基づきDMAデータ転送装置11を制御する制御手段としての制御回路である。13はDMAデータ転送を行うデータのブロックの開始アドレスを保持する第1の保持手段としてのレジスタ群であり、4つのレジスタ13a、13b、13c、13dから構成されており、中央処理装置19によってDMAデータ転送するデータのブロックのメモリ空間における開始アドレスが設定される。

【0010】14はDMAデータ転送するデータの数を保持する第2の保持手段としてのレジスタ群であり、4つのレジスタ14a、14b、14c、14dから構成されており、中央処理装置19によってDMAデータ転送するデータの数が設定される。なお、レジスタ13aに設定された開始アドレスに対応するデータ数はレジスタ14aに、レジスタ13bに設定された開始アドレスに対応するデータ数はレジスタ14bに、レジスタ13cに設定された開始アドレスに対応するデータ数はレジスタ14cに、レジスタ13dに設定された開始アドレスに対応するデータ数はレジスタ14dに設定されるものとする。

【0011】15はセレクタであり、レジスタ群13に設定されている4つ開始アドレスのうち次にDMAデータ転送を行うブロックの開始アドレスを選択するもので

ある。16はDMAデータ転送するデータのアドレスを発生するアドレス発生手段としてのカウンタであり、セレクタ15で選択した開始アドレスを基準にして順に、カウントアップを繰り返してアクセスするメモリのアドレスを発生するものである。

【0012】17はセレクタであり、レジスタ群14に設定されている4つのデータ数のうち次にDMAデータ転送を行うブロックのデータ数（セレクタ15で開始アドレスが選択されたブロックに対応するデータ数）を選択するものである。18はDMAデータ転送したデータの数が今転送中のブロックのデータの数に達したかどうか判定する判定手段としてのカウンタであり、セレクタ17で選択されたデータ数を基準にカウントダウンを繰返し、1になった時点でブロック終了信号（BES）116を制御回路12に出すものである。

【0013】斯様な構成をもつDMAデータ転送装置においてメモリ21から入出力制御装置20に対して4つのブロック（ブロック1：0番地から511番地でデータ数512個、ブロック2：512番地から1023番地でデータ数512個、ブロック3：1024番地から1535番地でデータ数512個、ブロック4：1536番地から2047番地でデータ数512個）をブロック1、ブロック3、ブロック2、ブロック4の順で、繰返しDMAデータ転送する場合を例に各部の動作を詳細に説明する。

【0014】中央処理装置19はあらかじめレジスタ群13のレジスタ13aにデータバス101に0を出力し、選択信号102のうちレジスタ13aを指定する選択信号出力することにより0番地を書き込む。同様にレジスタ13bに512番地を、レジスタ13cに1024番地を、レジスタ13dに1536番地を書き込んでおく。

【0015】また、レジスタ群14のレジスタ14a、レジスタ14b、レジスタ14c、レジスタ14dに対しても同様な手順でそれぞれに512個というデータ数を書き込んでおく。この状態において、入出力制御装置20とメモリ21の間でデータのDMAデータ転送の必要が生じた場合に中央処理装置19はDMAデータ転送装置11の制御回路12に対してDMA起動信号（ENA）103を出力する。

【0016】このDMA起動信号（ENA）103を受けると制御回路12はセレクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13aに保持されて、出力されている値（0番地）が選択されるように選択信号（SL1）107を出力する。この選択信号（SL1）107によって選択された値がセレクタ15から出力された頃を見計らって制御回路12はカウンタ16に対しラッチ信号（LAT1）109を出力する。

【0017】このラッチ信号（LAT1）109を受け

5

るとカウンタ16はセクタ15から出力されているブロック1の開始アドレス(0番地)108をカウント基準値として取込む。制御回路12はカウンタ16に対してラッチ信号(LAT1)109を出力した後すぐに、セクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13cに保持されて、出力されている値(1024番地)すなわち、ブロック3の開始アドレスが選択されるように選択信号(SL1)107を出力する。

【0018】また、制御回路12は同時にセクタ17に対してレジスタ群14から出力されている4つのブロックのデータ数113のうちレジスタ14aに保持されて、出力されている値(512個)が選択されるように選択信号(SL2)114を出力する。この選択信号(SL2)114によって選択された値がセクタ17から出力された頃を見計らって制御回路はカウンタ18に対しラッチ信号(LAT2)118を出力する。

【0019】このラッチ信号(LAT2)118を受けるとカウンタ18はセクタ17から出力されているブロック1のデータ数(512個)115をカウント基準値として取込む。制御回路12はカウンタ18に対してラッチ信号(LAT2)118を出力した後すぐに、セクタ17に対してレジスタ群14から出力されている4つのブロックのデータ数113のうちレジスタ14cに保持されて、出力されている値(512個)すなわち、ブロック3のデータ数が選択されるように選択信号(SL2)114を出力する。

【0020】以上のようにして、カウンタ16とカウンタ18に初期値がセットされると制御回路12はDMAデータ転送を開始する。すなわち、制御回路12は入出力制御装置20からデータ転送要求信号(REQ)119を受けると、メモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。このとき、カウンタ16からはDMAデータ転送するデータのブロックの開始アドレス(0番地)がメモリ21のアドレス111としてメモリ21に対して出力されている。

【0021】なお、制御回路12はカウンタ16および、カウンタ18の更新中又は初期値設定中に入出力制御装置20からデータ転送要求信号(REQ)119を受けた場合には、カウンタ16及び、カウンタ18の更新又は初期値設定の動作の終了を待ってデータ転送制御信号112を出力する。このとき既に、次にDMAデータ転送されるブロック3の開始アドレスとデータ数がセクタ15とセクタ17によって選択されて、カウンタ16およびカウンタ18に対して出力されている。

【0022】メモリ21と入出力制御装置20の間で0番地のデータ120の転送が完了すると入出力制御装置20は制御回路12に対してデータ転送要求信号(REQ)119を出力する。制御回路12は入出力制御装置20からデータ転送要求信号(REQ)119を受ける

6

と、クロック信号(CLK1)110を出力してカウンタ16の値を1加算させる。また、同時にクロック信号(CLK2)117を出力してカウンタ18の値を1減算させる。その後、制御回路12はメモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。このとき、カウンタ16からはDMAデータ転送するデータのアドレス(1番地)がメモリ21のアドレス111としてメモリ21に対して出力されている。

【0023】メモリ21と入出力制御装置20の間で1番地のデータ120の転送が完了すると入出力制御装置20は制御回路12に対してデータ転送要求信号(REQ)119を出力する。以後これらの動作を繰返し、入出力制御装置20からのデータ転送要求信号(REQ)119を受けて制御回路12が出力した、クロック信号(CLK2)117によってカウンタ18の値が1になった場合には、カウンタ18は制御回路12に対してブロック終了信号(BES)116を出力する。そのとき、メモリ21と入出力制御装置20の間ではブロック最後のアドレス(511番地)のデータの転送が行われている。これをもって、ブロック1のDMAデータ転送が終了する。

【0024】制御回路12はブロック終了信号(BES)116を受け、その後、入出力制御装置20からデータ転送要求信号(REQ)119を受けると、ラッチ信号(LAT1)109とラッチ信号(LAT2)118を出力する。カウンタ16はこのラッチ信号(LAT1)109を受けるとセクタ15から出力されているブロック3の開始アドレス(1024番地)108をカウント基準値として取込む。

【0025】制御回路12はカウンタ16に対してラッチ信号(LAT1)109を出力した後すぐに、セクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13bに保持されて、出力されている値(512番地)すなわち、ブロック2の開始アドレスが選択されるように選択信号(SL1)107を出力する。

【0026】また、カウンタ18はこのラッチ信号(LAT2)118を受けるとセクタ17から出力されているデータ数115をカウント基準値として取込む。制御回路12はカウンタ18に対してラッチ信号(LAT2)118を出力した後すぐに、セクタ17に対してレジスタ群14から出力されている4つのブロックのデータ数113のうちレジスタ14bに保持されて、出力されている値(512個)すなわちブロック2のデータ数が選択されるように選択信号(SL2)114を出力する。

【0027】制御回路12はカウンタ16にラッチ信号109を、カウンタ18にラッチ信号118を出力した後、メモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。このような動作により、

0番地から511番地のブロック1について1024番地からのブロック3のデータのDMAデータ転送が行われる。同時に、次にDMAデータ転送が行われるブロック2の開始アドレスとデータ数がそれぞれセクタ15とセクタ18から出力される。

【0028】順次これらの動作を繰り返すことにより、ブロック1、ブロック3、ブロック2、ブロック4の順で4つのブロックのデータのDMAデータ転送が終了すると、制御回路12は中央処理回路19に対してデータ転送終結信号(CTC)105を出力する。一方、DMAデータ転送装置11においては、続けてブロック1のDMAデータ転送動作ができるように、既に4つめのブロックすなわちブロック4のDMAデータ転送中に制御回路12からの選択信号(SL1、SL2)によって、セクタ15、セクタ17で選択してそれぞれカウンタ16、カウンタ18に出力するという一連の動作によって準備されている。

【0029】ここで、中央処理装置19からデータ転送終結信号(CTC)105に対してデータ転送終了信号(EOP)104が制御回路12に入力されると、DMAデータ転送動作を終了する。もし、データ転送終了信号(EOP)104が入力されなければ、制御回路12はカウンタ16とカウンタ18にそれぞれラッチ信号(LAT1)109とラッチ信号(LAT2)118を出力してブロック1の開始アドレスとデータ数を取り込ませて、ブロック1から4つのブロックのDMAデータ転送を繰り返し行う。

【0030】なお、中央処理装置19はデータ転送終了信号(EOP)104を制御回路12に対して出力することにより、任意のタイミングでDMAデータ転送を中止させることが出来る。本発明のDMAデータ転送装置の第2の実施例について図2を参照にして説明する。なお、本実施例においてはメモリ空間内の同じデータ数の4つの領域を順次DMAデータ転送するためのDMAデータ転送装置について説明する。

【0031】図2は、本発明の第2の実施例に係るDMAデータ転送装置11の構成図である。同図において、図1と同じ部分には同一の符号を付す。同図には、図1と同様にDMAデータ転送装置11をコントロールする中央処理装置19と、DMAデータ転送に用いるメモリ21と入出力制御装置20も記載されている。図2において、11は本発明のDMAデータ転送装置であり、図1のDMAデータ転送装置との違いは、DMAデータ転送するデータの数を保持する第2の保持手段としてのレジスタ群にはレジスタが1つしかないところである。したがって、DMA転送するブロックのデータ数を選択するセクタも備えていない。

【0032】12は中央処理装置19の制御に基づきDMAデータ転送装置を制御する制御手段としての制御回路である。13はDMAデータ転送を行うデータのブ

ックの開始アドレスを保持する第1の保持手段としてのレジスタ群であり、4つのレジスタ13a、13b、13c、13dから構成されており、中央処理装置19によってDMAデータ転送するデータのブロックのメモリ空間における開始アドレスが設定される。

【0033】14はDMAデータ転送するデータの数を保持する第2の保持手段としてのレジスタ群であり、本実施例においては1つのレジスタ14で構成されており、中央処理装置19によってDMAデータ転送するデータの数が設定される。なお、本実施例におけるDMAデータ転送される4つのブロックは同一のデータ数である。また、本レジスタに設定されるデータ数は、DMAデータ転送するデータ数から1を引いたものとする。すなわち、実際のデータ数より1少ない数を設定するものとする。

【0034】15はセクタであり、レジスタ群13に設定されている4つ開始アドレスのうち次にDMAデータ転送を行うブロックの開始アドレスを選択するものである。16はDMAデータ転送するデータのアドレスを発生するアドレス発生手段としてのカウンタであり、セクタ15で選択した開始アドレスを基準にして順に、カウントアップを繰り返してアクセスするメモリのアドレスを発生するものである。

【0035】18はDMAデータ転送したデータの数が今転送中のブロックのデータの数に達したかどうか判定する判定手段としてのカウンタであり、レジスタ14に設定されたデータ数を基準にカウントダウンを繰返し、0になった後にカウントダウンを行うとブロック終了信号(BES)116を制御回路12に出すものである。

【0036】斯様な構成をもつDMAデータ転送装置においてメモリ21から入出力制御装置20に対してデータ数が512個である4つのブロック(ブロック1:0番地から511番地、ブロック2:512番地から1023番地、ブロック3:1024番地から1535番地、ブロック4:1536番地から2047番地)をブロック1、ブロック3、ブロック2、ブロック4の順で、繰返しDMAデータ転送する場合を例に各部の動作を詳細に説明する。

【0037】中央処理装置19はあらかじめレジスタ群13のレジスタ13aにデータバス101に0を出力し、選択信号102のうちレジスタ13aを指定する選択信号出力することにより0番地を書き込む。同様にレジスタ13bに512番地を、レジスタ13cに1024番地を、レジスタ13dに1536番地を書き込んでおく。

【0038】また、レジスタ群14のレジスタ14に対しても同様な手順でデータ数512から1を引いた511という値を書き込んでおく。この状態において、入出力制御装置20とメモリ21の間でデータのDMAデータ転送の必要が生じた場合に中央処理装置19はDMA

データ転送装置11の制御回路12に対してDMA起動信号(ENA)103を出力する。

【0039】このDMA起動信号(ENA)103を受けると制御回路12はセクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13aに保持されて、出力されている値(0番地)が選択されるように選択信号(SL1)107を出力する。この選択信号(SL1)107によって選択された値がセクタ15から出力された頃を見計らって制御回路12はカウンタ16に対しラッチ信号(LAT1)109を出力する。

【0040】このラッチ信号(LAT1)109を受けるとカウンタ16はセクタ15から出力されているブロック1の開始アドレス(0番地)108をカウント基準値として取込む。制御回路12はカウンタ16に対してラッチ信号(LAT1)109を出力した後すぐに、セクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13cに保持されて、出力されている値(1024番地)すなわち、ブロック3の開始アドレスが選択されるように選択信号(SL1)107を出力する。

【0041】また、制御回路12は同時にカウンタ18に対してラッチ信号(LAT2)118を出力する。このラッチ信号(LAT2)118を受けるとカウンタ18はレジスタ14から出力されている1つのブロックのデータ数(512個)から1を引いた値115をカウント基準値として取込む。

【0042】以上のようにして、カウンタ16とカウンタ18に初期値がセットされると制御回路12はDMAデータ転送を開始する。すなわち、入出力制御装置20からデータ転送要求信号(REQ)119を受けると制御回路12はメモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。このデータ転送制御信号112を受けてメモリ21はアドレス0番地のデータ120を出力し、入出力制御装置20はメモリ21から出力されたデータ120を読み込む。このとき、カウンタ16からはDMAデータ転送するデータのブロックの開始アドレス(0番地)がメモリ21のアドレス111としてメモリ21に対して出力されている。

【0043】このとき既に、次にDMAデータ転送されるブロック3の開始アドレスがセクタ15によって選択されて、カウンタ16に対して出力されている。また、1つのブロックのデータ数から1を引いた値がレジスタ14からカウンタ18に対して出力されている。なお、制御回路12はカウンタ16および、カウンタ18の更新中又は初期値設定中に入出力制御装置20からデータ転送要求信号(REQ)119を受けた場合には、カウンタ16及び、カウンタ18の更新又は初期値設定の動作の終了を待ってデータ転送制御信号112を出力する。

【0044】制御回路12はデータ転送制御信号112を出力した後、クロック信号(CLK1)110を出力してカウンタ16の値を1加算させる。また、同時にクロック信号(CLK2)117を出力してカウンタ18の値を1減算させる。メモリ21と入出力制御装置20の間で0番地のデータ120の転送が完了すると入出力制御装置20は制御回路12に対してデータ転送要求信号(REQ)119を出力する。

【0045】制御回路12は入出力制御装置20からデータ転送要求信号(REQ)119を受けると、制御回路12はメモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。このとき、カウンタ16からはDMAデータ転送するデータのアドレス(1番地)がメモリ21のアドレス111としてメモリ21に対して出力されている。

【0046】制御回路12はデータ転送制御信号112を出力した後、クロック信号(CLK1)110を出力してカウンタ16の値を1加算させる。また、同時にクロック信号(CLK2)117を出力してカウンタ18の値を1減算させる。メモリ21と入出力制御装置20の間で1番地のデータ120の転送が完了すると入出力制御装置20は制御回路12に対してデータ転送要求信号(REQ)119を出力する。

【0047】以後これらの動作を繰返し、制御回路12が出力したクロック信号(CLK2)117によってカウンタ18の値が0になった場合には、カウンタ16から出力される次にDMAデータ転送するデータのアドレスは511番地である。ここで、入出力制御装置20が出力したデータ要求信号(REQ)119を制御回路12が受けると、制御回路12はメモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。

【0048】この後、制御回路12はクロック信号(CLK1)110を出力してカウンタ16の値を1加算させる。また、同時にクロック信号(CLK2)117を出力してカウンタ18の値を1減算させる。このとき、カウンタ18は制御回路12に対してブロック終了信号(BES)116を出力する。これをもって、ブロック1のDMAデータ転送が終了する。

【0049】制御回路12はブロック終了信号(BES)116を受けると、ラッチ信号(LAT1)109とラッチ信号(LAT2)118を出力する。カウンタ16はこのラッチ信号(LAT1)109を受けるとセクタ15から出力されているブロック3の開始アドレス(1024番地)108をカウント基準値として取込む。

【0050】制御回路12はカウンタ16に対してラッチ信号(LAT1)109を出力した後すぐに、セクタ15に対してレジスタ群13から出力されている4つのブロックの開始アドレス106のうちレジスタ13b



に保持されて、出力されている値(512番地)すなわち、ブロック2の開始アドレスが選択されるように選択信号(SL1)107を出力する。

【0051】また、カウンタ18はこのラッチ信号(LAT2)118を受けると、レジスタ14から出力されている1つのブロックのデータ数(512個)から1を引いた値115をカウンタ基準値として取込む。その後、入出力制御装置20からデータ転送要求信号(REQ)119を受けると、制御回路12はメモリ21と入出力制御装置20に対してデータ転送制御信号112を出力する。

【0052】この際、カウンタ16およびカウンタ18の更新中に入出力制御装置20からデータ転送要求信号(REQ)119を受けた場合には、制御回路12はカウンタ16およびカウンタ18の更新の終了を待ってデータ転送制御信号112を出力する。このような動作により、0番地から511番地のブロック1について1024番地からのブロック3のデータのDMAデータ転送が行われる。同時に、次にDMAデータ転送が行われるブロック2の開始アドレスがセクタ15から出力される。また、レジスタ14からは1つのブロックのデータ数から1を引いた値がカウンタ18に対して出力されている。

【0053】順次これらの動作を繰り返すことにより、ブロック1、ブロック3、ブロック2、ブロック4の順で4つのブロックのデータのDMAデータ転送が終了すると、制御回路12は中央処理回路19に対してデータ転送終結信号(CTC)105を出力する。一方、DMAデータ転送装置11においては、続けてブロック1のDMAデータ転送動作ができるように、既に4つめのブロックすなわちブロック4のDMAデータ転送中に制御回路12からの選択信号(SL1)107によって、ブロック1の開始アドレスをセクタ15で選択してカウンタ16に出力し、また、1つのブロックのデータ数から1を引いた値がレジスタ14からカウンタ18に対して出力するという一連の動作によって準備されている。

【0054】ここで、中央処理装置19からデータ転送終結信号(CTC)105に対してデータ転送終了信号(EOP)104が制御回路12に入力されると、DMAデータ転送動作を終了する。もし、データ転送終了信号(EOP)104が入力されなければ、入出力制御装置20からデータ転送要求信号(REQ)119に応じて、制御回路12はカウンタ16とカウンタ18にそれぞれラッチ信号(LAT1)109とラッチ信号(LAT2)118を出力してブロック1の開始アドレスとデータ数を取り込ませて、ブロック1から4つのブロックのDMAデータ転送を繰り返し行う。

【0055】なお、中央処理装置19はデータ転送終了信号(EOP)104を制御回路12に対して出力することにより、任意のタイミングでDMAデータ転送を中

止させることが出来る。以上の実施例においては、メモリから入出力制御装置へのDMAデータ転送を説明したがこれに限られるものでなく、メモリからメモリへ、入出力制御装置からメモリへのように、アドレスとデータ数を指定してDMAデータ転送を行うものであれば何にでも用いることができ、また、メモリのアドレスをアップカウンタで発生したがダウンカウンタで発生してもよい。

【0056】また、以上の実施例においては、メモリに4つのブロックがあることを想定したが、これに限られるものでなく、1つ以上のブロックであればいくつでも良い。また、以上の実施例においては、メモリ21と入出力制御装置20の間は独自のデータバス120を設けたが、これに限られるものでなく、バスの権利の所在を明かにする信号線を追加することにより中央処理装置19からのデータバス101を兼用してもよい。

【0057】また、以上の実施例においてはDMAデータ転送するブロックのセレクト信号を制御回路で作成する構成としたが、これに限られるものでなく外部信号を用いてもよく、セレクト信号を制御回路で作成する構成の場合においても、制御回路固有の順で作成してもよいし、あらかじめ中央処理装置等により設定された順で作成してもよい。

【0058】さらに、以上の実施例においては、DMAデータ転送をするブロックの開始アドレスに対してそれぞれ1つのデータ数を設定する構成と、ブロックの開始アドレスを複数種類持ち、データ数を1種類にする構成としたが、これに限られるものでなく、ブロックの開始アドレスを1つにし、データ数を複数種類持つ構成にしてもよい。

【0059】

【発明の効果】1つのブロックのDMAデータ転送が終了した後に、直ちに次のブロックのDMAデータ転送を行うことができ、データが途中で途切れてしまうことを防ぐことができる。また、中央処理装置が介在しないので、中央処理装置の動作状況による制約を受けることがない。

【0060】さらに、中央処理装置にとっても、処理中の処理を中断する必要がないので、処理が遅れることもなく、負担が軽減されることになる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るDMAデータ転送装置の構成図である。

【図2】本発明の第2の実施例に係るDMAデータ転送装置の構成図である。

【符号の説明】

11 DMAデータ転送装置

12 制御回路

13 レジスタ群

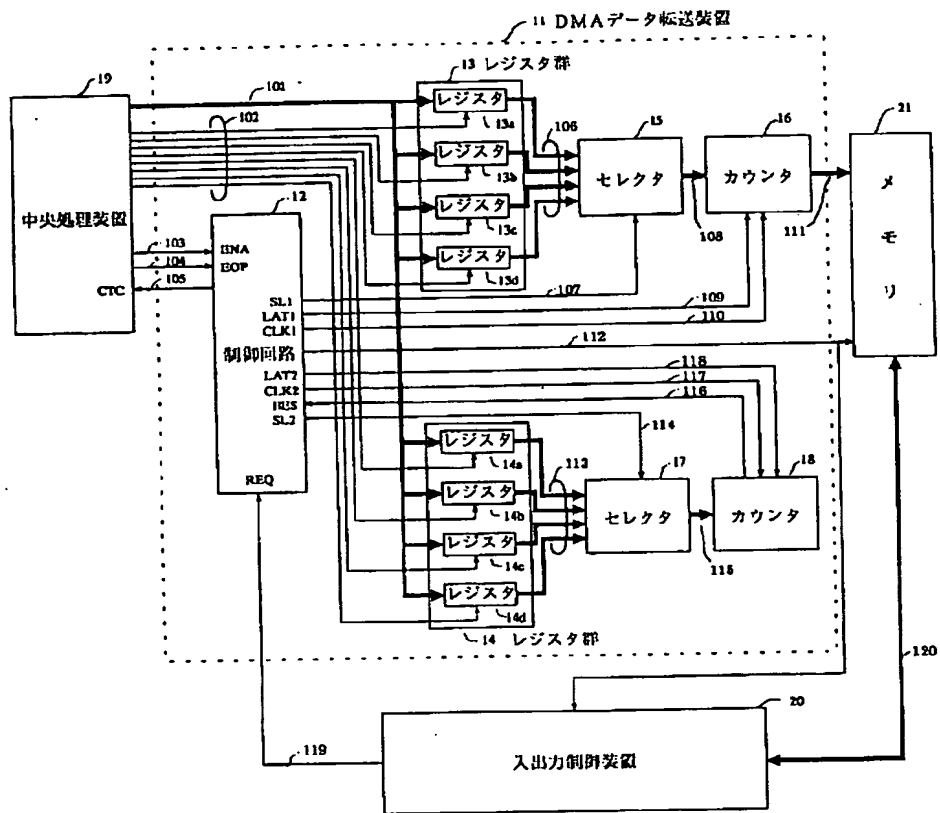
14 レジスタ群

15 セレクタ  
16 カウンタ  
17 セレクタ  
18 カウンタ

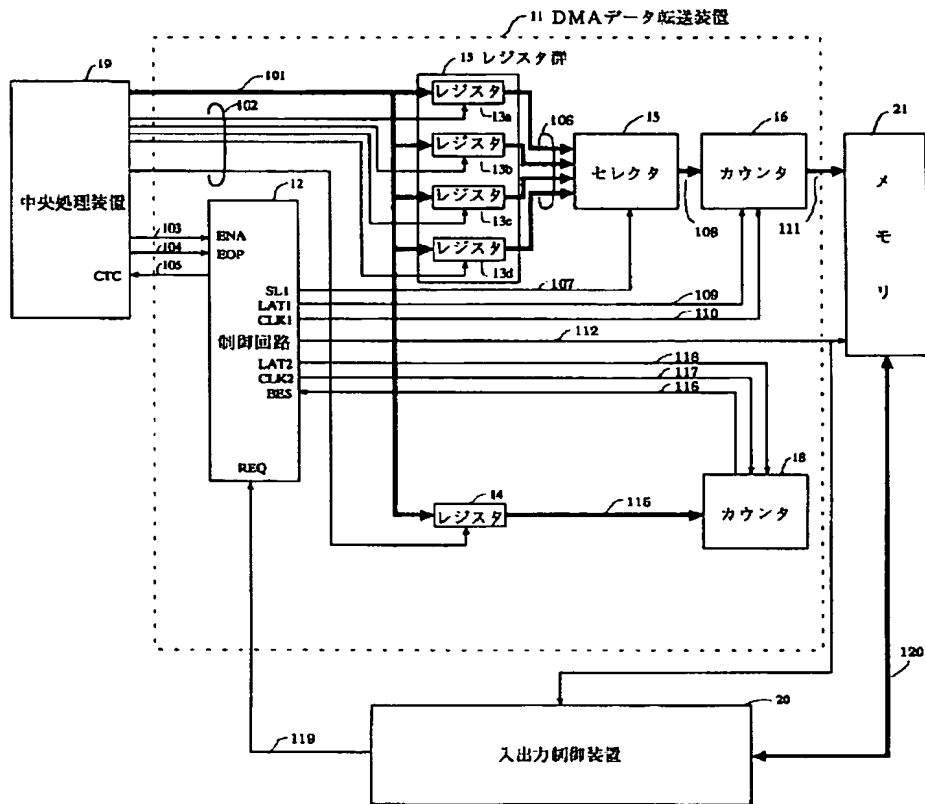
\* 19 中央処理装置  
20 入出力制御装置  
21 メモリ

\*

【図1】



【図2】



フロントページの続き

(72)発明者 松原 敦  
大阪府守口市京阪本通2丁目18番地 三洋  
電機株式会社内